

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-129872

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

H01L 29/78

H01L 21/336

H01L 21/318

(21)Application number : 07-284988

(71)Applicant : SHARP CORP

(22)Date of filing : 01.11.1995

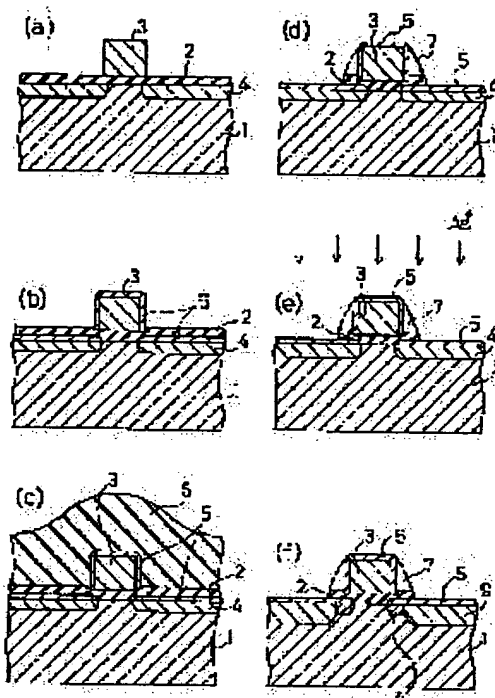
(72)Inventor : UEDA TAKASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent characteristics deterioration due to film stress and hydrogen, by a method wherein, when a MOS semiconductor device is manufactured, a silicon substrate is nitrided in N₂O gas of a specific value or mixed gas of N₂O and N₂, after a gate oxide film and a gate electrode are formed on the silicon substrate.

SOLUTION: A gate oxide film 2 and a gate electrode 3 are formed on a P-type silicon substrate 1. An LDD layer 4 is formed by ion-implanting phosphorus. The substrate 1 is cleaned by using hydrofluoric acid, the gate oxide film 2 is etched and heat-treated, and an oxynitride film 5 is formed on the LDD film 4 and around the gate electrode 3. An HTO film 6 on the gate electrode 3 and the LDD layer 4 is etched as far as the oxynitride film 5, by using C₄H₈ gas with a low power of 200W. The LDD layer 4 and a source/drain layer 9 are activated, by implanting As through the nitride oxide film 5, and annealing in an inert gas atmosphere at 800° C for one hour. Thereby deterioration of characteristics can be prevented.



LEGAL STATUS

[Date of request for examination] 16.07.1999

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-129872

(43)公開日 平成9年(1997)5月16日

(51)IntCl ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/78			H01L 29/78	301L
21/336			21/318	A
21/318			29/78	301P

審査請求 未請求 請求項の数3 OL (全10頁)

(21)出願番号 特願平7-284988
(22)出願日 平成7年(1995)11月1日

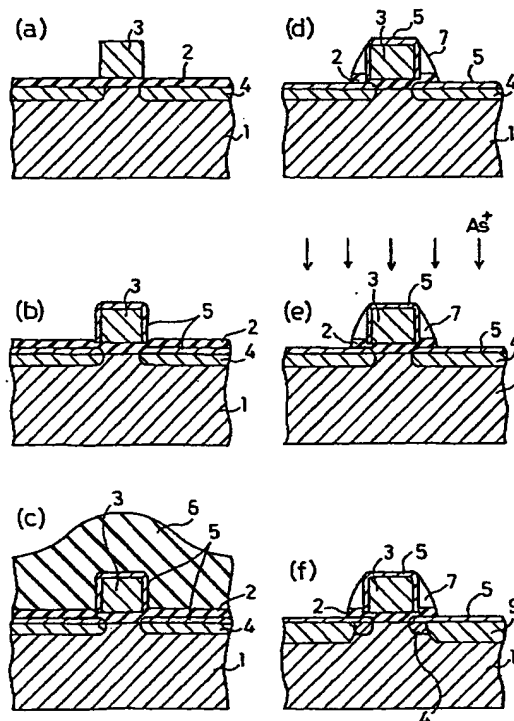
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 上田 多加志
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【課題】 LDD構造を有するMOS型半導体素子の製造工程において、サイドウォール7の形成時に、シリコン基板1にまでエッチングが進行してデバイス特性の劣化を招来することを防止する。

【解決手段】 シリコン基板1の界面に窒素含有率の高い窒酸化膜5を形成し、さらに、サイドウォール7のエッチング時に、サイドウォール7/窒酸化膜5の選択比を向上し得るエッチングガスを用いる。



【特許請求の範囲】

【請求項1】MOS型半導体素子の製造方法において、ゲート酸化膜およびゲート電極をシリコン基板上に形成する第1工程と、

100%の N_2O ガス雰囲気または N_2O と N_2 との混合ガス雰囲気にて上記シリコン基板を窒酸化する第2工程とを含むことを特徴とする半導体素子の製造方法。

【請求項2】上記シリコン基板に酸化膜を堆積し、該酸化膜をエッチングしてゲート電極側壁を形成する第3工程をさらに含み、

上記第3工程のエッチングにおいて、分子式 $C_{m+1}F_{2m+2}$ (m :自然数)で示されるガス、分子式 $C_{2n}F_{2n+2}$ (n :自然数)で示されるガス、あるいはこれらの混合ガスを用いることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】上記第2工程で形成された窒酸化膜の上層にBPSGを堆積し、このBPSGを酸化性雰囲気でリフローする工程をさらに含むことを特徴とする請求項1記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法に関し、特に、ライトリー・ドープト・ドレイン(Lightly Doped Drain: 以下、LDDと称する)構造のMOS型トランジスタの製造方法に関するものである。

【0002】

【従来の技術】従来、LDD構造のMOS型トランジスタの製造方法として以下の方法が知られている。まず、P型シリコン基板にゲート酸化膜およびゲート電極を形成し、次にこのゲート電極をマスクとして低濃度のn型不純物をイオン注入することによりソース・ドレインの低濃度n型領域を形成する。次に、CVD法を用いて上記ゲート酸化膜およびゲート電極の表面を覆うように酸化膜を形成する。

【0003】続いて、ゲート電極の側壁(サイドウォール: side wall)にだけ上記酸化膜を残して、エッチングにより酸化膜を除去する。そして、ゲート電極と上記のサイドウォールとをマスクとして高濃度のn型不純物をイオン注入することにより、高濃度n型領域を形成する。以上の工程により、LDD構造を持つMOS型トランジスタが製造される。

【0004】しかし、上記の製造方法は、サイドウォールのエッチバック時の膜厚制御が難しいという問題を有していた。つまり、サイドウォールのエッチバック時に、ゲート酸化膜が完全に消滅してシリコン基板にまでエッチングが進行してしまうと、エッチングのダメージに起因して、拡散層のジャンクションリーク電流の増加や、トランジスタの駆動能力の低下を招来する虞がある。

【0005】このため、従来、サイドウォールのドライ

エッチング工程を途中で止めて、残りをフッ化水素酸(HF)系のウェットエッチャントで処理するドライアンドウェット(Dry and Wet)法が一部で採用されている。しかしこの手法では、ジャンクションリーク電流の増加の問題は解消されるが、以下のような新たな問題が発生する。

【0006】すなわち、ゲート電極のサイドウォールとしてのCVD酸化膜は、活性領域(後にソース・ドレインとなる領域)上のゲート酸化膜よりもウェットエッチャントでのエッチングレートが大きいので、逆にサイドウォールのCVD酸化膜が消滅したり、あるいは消滅しないまでも極めて小さくなり、サイドウォールとしての役目を果たさなくなる虞がある。従って、活性領域上にゲート酸化膜が残留する程度でウェットエッチングを終了する必要がある。

【0007】ところが、ウェットエッチングのエッチレートの変動や、CVD酸化膜の堆積膜厚のばらつき等によって、活性領域上に残留するゲート酸化膜の膜厚は容易に変動する。この残膜の膜厚変動は、以降のソース・ドレイン領域へのイオン注入工程において問題となる。すなわち、残膜が厚くなればなるほどイオン注入時に膜中で停止するイオンが増加し、ソース・ドレインの実効不純物濃度が低下してコンタクト抵抗の増大を招来する。

【0008】また一方、例えば特開昭62-136022号公報または特開昭62-173763号公報等に表示されているように、CVD酸化膜とシリコン基板との間に、シリコン基板へのエッチングの進行を抑制するためのエッチングストップとして、窒化膜等を設ける方法が提案されている。上記従来の窒化膜は、図3(a)にその一例を示すように、ゲート電極33およびゲート酸化膜32の表面に設けられ、同図(b)に示すようにこの窒化膜35の上層にCVD法により酸化膜36を堆積し、さらに同図(c)に示すように、上記酸化膜36をエッチングしてゲート電極33の側面にサイドウォール37を形成する際に、シリコン基板31にエッチングが進行することを防止する。このように、エッチングストップを設けることによって、シリコン基板のオーバーエッチングの問題自体はほぼ回避できる。

【0009】また、MOSトランジスタの層間絶縁膜として、ボロンとリンを含むシリコン酸化膜(以下、BPSG(Boron Phosphorus Silicate Glass)膜と略称する)をリフローにより形成する方法が知られている。このBPSG膜は、熱処理によって自己平坦化する特性を持ち、アルミニウム等の配線の被覆性を向上させる効果がある。

【0010】BPSGのリフローは、不活性雰囲気よりも酸化性雰囲気下で行う方が、その平坦性が向上するという点では好ましく、例えば高圧水蒸気ガス雰囲気で行う方法が従来提案されている。しかし、酸化性雰囲気

気下でのリフローは、BPSG中を拡散した酸素によってシリコン基板が酸化され、種々の半導体素子特性の劣化を生じるという点で問題がある。

【0011】このため、例えば、特開昭58-98934号公報、特開昭61-247073号公報、特開昭63-265431号公報、または特開平4-196222号公報には、図4(a)または(b)に示すように、CVD法によってBPSG層46の下方に堆積させた窒化シリコン(SiN)47を酸化性雰囲気下での酸化バリアとして使用する方法が開示されている。なお、同図(a)および(b)において、41はシリコン基板、42はゲート酸化膜、43はゲート電極、45は活性領域であり、同図(b)においてゲート電極43上に堆積されているのは、CVD法による酸化膜48である。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、エッチングストップあるいは酸化バリアとして形成した窒化膜によって、他の問題が発生する。一つは、窒化膜の膜ストレスによるジャンクションリーク電流の増加や、ゲート酸化膜のホットエレクトロン耐性の低下といったデバイス特性の劣化である。もう一つは、CVD法により形成された窒化膜のプリカーサー原料に起因したSi-HあるいはN-H結合がSiN膜中に残留し、以降の熱処理で解離した水素がゲート酸化膜の界面準位を変動させるという点である。

【0013】このような窒化膜の欠点を考慮して、窒化膜を用いる代わりに、前述のドライアンドウェット法においてドライおよびウェットエッチングの条件をそれぞれ適正化し、ウェットエッチング工程にて活性領域の酸化膜を一旦除去した後、再び熱酸化を行って活性領域表面を酸化して熱酸化膜を形成した後に、ソース・ドレインのイオン注入を行う方法も知られている。つまり、図5(a)に示すようにMOS型トランジスタの上にCVD法により酸化膜56を堆積し、ドライエッチング工程によって、同図(b)に示すように、この酸化膜56を途中までエッチングする。さらに、ウェットエッチング工程により、ゲート電極53の側面にサイドウォール57を残して上記酸化膜56を除去する。この時、同図(c)に示すように、活性領域の酸化膜56は完全に除去される。次に、熱酸化を行って、同図(d)に示すように、活性領域54表面に熱酸化膜60を形成する。この場合、活性領域54に形成した熱酸化膜60は、ソース・ドレインの面チャネリングの防止、以降の注入層の活性化アニールでのイオンのアウトデフューズとオートドープとの防止という点で効果を奏する。しかしながら、この方法は煩雑な工程を必要とし、製造コストの高騰を招来するという問題点を有している。

【0014】本発明は上記した各問題点に鑑みなされたもので、従来の窒化膜の問題点であった、膜ストレスや水素によるデバイス特性の劣化の解決を図り、より簡略

化された工程でLDD構造のMOSトランジスタを提供することを目的とする。

【0015】

【課題を解決するための手段】上記の課題を解決するために、請求項1記載の半導体素子の製造方法は、MOS型半導体素子の製造方法において、ゲート酸化膜およびゲート電極をシリコン基板上に形成する第1工程と、100%のN₂Oガス雰囲気またはN₂OとN₂との混合ガス雰囲気にて上記シリコン基板を窒酸化する第2工程とを含むことを特徴としている。

【0016】請求項1記載の製造方法では、第1工程においてゲート酸化膜およびゲート電極を形成したシリコン基板を、第2工程において窒酸化する。これにより、ゲート電極の表面に窒酸化膜が形成されると共に、シリコン基板表面のゲート酸化膜中をN₂Oが拡散して基板表面に到達して基板のシリコン原子と反応することにより、シリコン基板の界面に窒酸化膜が形成される。これらの窒酸化膜は、MOS型の半導体素子の製造方法における以降の周知の工程において、種々の効果を発揮する。例えば、ソース・ドレイン領域へのイオン注入の工程においては注入イオンの面チャネリングを防止する作用がある。あるいは、イオン注入後のアニール工程においては、注入イオンのアウトデフューズバリアあるいはオートドープバリアとして作用する。また、一般にサイドウォールと称されるゲート電極側壁を形成するためのエッチング工程においては、オーバーエッチングを抑止するエッチングストップとして機能する。

【0017】従来、エッチングストップとして、CVD法等によって形成されていた窒化膜は、その膜中にプリカーサー原料に起因してSi-H結合あるいはN-H結合が残留し、その後の熱処理工程においてこれらの結合から解離した水素がゲート酸化膜にトラップされ、ホットキャリア耐性を劣化させること、あるいはその結果発生する電子トラップによって半導体素子の閾値が変化するという問題を有していた。これに対し、上記の製造方法による窒酸化膜中にはSi-H結合あるいはN-H結合はほとんど残留しないため、上記の問題は解消される。

【0018】また、上記の製造方法にて形成された窒酸化膜は、従来のLPCVD法等により形成された窒酸化膜と比較して、膜ストレスが低く抑えられている。つまり、窒酸化膜の膜ストレスに起因するジャンクションリーク電流の増加やゲート酸化膜のホットエレクトロン耐性の低下が抑制され、従来よりも半導体素子特性の向上を図ることができる。

【0019】また、近年、ゲート酸化膜としてN₂Oで処理した窒酸化膜を用いる提案もなされているが、ゲート酸化膜として用いられる窒酸化膜は、その窒素含有率を1%程度と低く抑えることが必要である。これは、ゲート酸化膜中の窒素含有率が高いと、導入された窒素に起因するシリコン基板表面のマイクロラフネスの増加によ

って、絶縁破壊耐圧の低下やTDDB (Time Dependent Dielectric Breakdown) による信頼性の低下というような不都合が生じることによる。窒酸化膜がシリコン基板へのエッチングの進行を抑止し得るためには、膜厚が厚いかあるいは窒素含有率が高いかのいずれかの条件を満たさなければならない。つまり、このようなゲート酸化膜も、そのままエッチングストップとして用いるには窒素含有率が充分ではないが、上記第2工程において再窒酸化を行って窒素含有率を向上させれば、エッチングストップとして有効に作用し得る。

【0020】以上のように、請求項1の製造方法によれば、半導体素子特性の劣化を生じずに、MOS型半導体素子の各工程において上述したような種々の効果を発揮し得る窒酸化膜を形成することが可能となる。

【0021】請求項2記載の半導体素子の製造方法は、請求項1記載の製造方法において、上記シリコン基板に酸化膜を堆積し、該酸化膜をエッチングしてゲート電極側壁を形成する第3工程をさらに含み、上記第3工程のエッチングにおいて、分子式 C_mF_{2m+2} (m : 自然数) で示されるガス、分子式 C_nF_{2n+2} (n : 自然数) で示されるガス、あるいはこれらの混合ガスを用いることを特徴としている。

【0022】請求項2記載の製造方法では、第1工程においてゲート酸化膜およびゲート電極を形成したシリコン基板を第2工程において窒酸化し、さらにこのシリコン基板に酸化膜を堆積し、ゲート電極の側方にのみこの酸化膜が残留するようにエッチングを行う。この時、エッチングガスとして、分子式 C_mF_{2m+2} (m : 自然数) で示されるガス、分子式 C_nF_{2n+2} (n : 自然数) で示されるガス、あるいは、これらのガスの混合ガスを用いる。

【0023】第2工程で形成された窒酸化膜は、100%の N_2O ガス雰囲気、または N_2O を N_2 で希釈することにより N_2O の分解が抑制される混合ガス雰囲気中で形成されているので、窒酸化が効率良く進み、比較的高い窒素含有率を有している。このため、上記窒酸化膜は、第3工程においてオーバーエッチングを抑止するエッチングストップとして有効に機能し得る。

【0024】しかし、上記窒酸化膜をエッチングストップとしてさらに効果的に作用させるためには、窒酸化膜に対するシリコン基板上の酸化膜の選択比を相対的に向上させることが望ましい。このためには、エッチング時に窒酸化膜の表面にカーボン化合物を堆積させて、窒酸化膜のエッチングレートを低下させることが効果的である。

【0025】この様な観点から、第3工程のエッチング時に使用するガス種として、 CF 系ガスの内、フッ素よりカーボンの含有率が高いものが好適に用いられる。すなわち、分子式 C_mF_{2m+2} (m : 自然数) で示されるフルオロシクロアルカンの一族や、あるいは、分子式 C_nF_{2n+2} (n : 自然数) で示されるフルオロアルケンの一族を用いることができる。また、これらの混合ガスを用いることも可能であり、同様の効果が得られる。

【0026】この種のガスを用いれば、カーボンプラズマによって発生するカーボン堆積物が窒酸化膜の表面を覆う頻度が増加するため、窒酸化膜のエッチングレートは低下し、一方、酸化膜ではカーボンプラズマと反応して生じる CO_2 によって酸化膜のエッチングがさらに進行する。この結果、従来一般的に用いられている CF_4 や CHF_3 系のガスによるエッチングと比較して、窒酸化膜/酸化膜の選択比を向上させることができる。このように、窒酸化膜/酸化膜の選択比を向上させたことにより、酸化膜のエッチング時に窒酸化膜が消滅してエッチングがシリコン基板にまで進行するような事態を回避することができる。

【0027】さらに、上述のように窒酸化膜/酸化膜の選択比を向上させたことにより、窒酸化膜の膜厚が従来よりも薄い場合でもエッチングストップとして有効に作用させることが可能となる。つまり、第2工程で形成される窒酸化膜は比較的薄くても良く、これにより、第3工程の後のイオン注入工程において注入イオンが窒酸化膜中で停止する可能性が低くなり、半導体素子特性のばらつきを防止することができる。

【0028】また、窒酸化膜が完全に除去されないようにシリコン基板上に残留させることが容易となる。この残留窒酸化膜は、後のイオン注入工程における注入イオンの面チャネリングの防止や、イオン注入層の活性化アニール工程における注入イオンのアウトデフューズやオートドープの防止において有効に作用する。従来、上記の残留窒酸化膜と同様の作用を得ることを目的として、活性領域に熱酸化膜を形成する方法が知られている。上記従来の方法では、活性領域に形成した酸化膜をエッチングにて一旦除去し、再び熱酸化を行って活性領域表面に熱酸化膜を再形成するという煩雑な手順が必要であった。これに対して、本発明の製造方法では、比較的簡単な手順で、上記熱酸化膜と同様の機能を有する窒酸化膜を形成することができるので、製造コストの削減を図ることができるという効果をも奏する。

【0029】以上のように、請求項2記載の製造方法によれば、ゲート電極の側壁を形成するためのエッチング工程において窒酸化膜/酸化膜の選択比を向上させることが可能となり、より簡略化された工程で、エッチングストップとして機能し得る窒酸化膜を形成することができる。

【0030】請求項3記載の半導体素子の製造方法は、請求項1記載の製造方法において、上記第2工程で形成された窒酸化膜の上層にBPSGを堆積し、このBPSGを酸性雰囲気中でリフローする工程をさらに含むことを特徴としている。

【0031】請求項3記載の製造方法では、第1工程に

においてゲート酸化膜およびゲート電極を形成したシリコン基板を第2工程において窒酸化して窒酸化膜を形成し、さらに、この窒酸化膜の上層にBPSG(Boron Phosphorus Silicates Glass)を堆積し、このBPSGのリフローを酸化性雰囲気で行う。BPSGのリフローを酸化性雰囲気で行うことにより、例えば窒素ガスのような不活性雰囲気下でのリフローに比較して、リフロー後のBPSGの平坦性を向上させることができる。なお、酸化性雰囲気としては、例えば、乾燥酸素雰囲気、ハロゲン含有酸化性雰囲気、あるいは含水蒸気雰囲気などを挙げることができる。

【0032】ところで、従来は、酸化性雰囲気でのリフローは、BPSGの下方のシリコン基板やゲート電極にまで酸化が進行すると、P型領域のコンタクト抵抗の増大やゲート周囲のゲート酸化膜の増大によるトランジスタスピードの低下というような種々の問題を引き起こす可能性があった。このような現象は、含水蒸気雰囲気のような強酸化性雰囲気において顕著に発生し得る。しかし、上記の製造方法によれば、第2工程で形成された窒酸化膜が酸化バリアとして機能するため、上記のような問題の発生を回避することが可能となる。

【0033】すなわち、上記の製造方法では、第2工程における窒酸化で形成された窒酸化膜は、シリコン基板界面において、窒酸化膜表層の窒素含有率がピーク温度を持つ。また、 N_2O ガス雰囲気または N_2O と N_2 との混合ガス雰囲気中で形成されたことにより、上記窒酸化膜は、比較的高い温度の窒素含有率を有しており、酸化バリアとして酸素または酸化種の拡散を抑制するために有効に機能し得る。

【0034】また、BPSGのリフローを酸化性雰囲気で行うことにより、処理温度が比較的低温であっても、リフロー形状の平坦化が促進される。このように低温下でのリフローが可能となることにより、基板の不純物の拡散を抑制することができるという効果も奏する。

【0035】以上のように、請求項3記載の製造方法では、酸化性雰囲気中でBPSGのリフローを行ってBPSGの平坦性を向上させることができ、さらに、この時に第2工程で形成された窒酸化膜が酸化バリアとして機能して、シリコン基板の酸化およびゲート電極の酸化が防止されるため、種々の半導体特性の劣化を防止することが可能となる。より詳しくは、P型領域のコンタクト抵抗の増大、トランジスタスピードの低下、配線抵抗の増加等を防止することが可能となる。

【0036】

【発明の実施の形態】

【実施の形態1】本発明の実施の一形態について図1(a)ないし(f)に基づいて説明すれば、以下のとおりである。なお、図1(a)ないし(f)は、MOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。同図(a)に示すように、ま

ず、p型シリコン基板1の表面に、ゲート酸化膜2を成膜し、さらにその表面にゲート電極3を形成した。なお、上記ゲート酸化膜2の厚みは14nmとした。さらに、加速電圧60keV、ドーズ量 $10^{13}/cm^2$ でリンをイオン注入し、LDD層4を形成した。

【0037】続いて、シリコン基板1をフッ化水素酸(HF)で前洗浄し、ゲート酸化膜2を5nmエッチングした後、熱処理炉へ導入して100% N_2O 雰囲気で、950°Cで30分の熱処理を行い、図1(b)に示すように、LDD層4上およびゲート電極3の周りに、窒酸化膜5を約4nmの膜厚になるように成膜した。この時、窒素がシリコン界面にピークを持つ温度分布で導入され、自ら成長した窒酸化膜が N_2O の拡散バリアとなるために、窒酸化膜5の成長は自然に停止する。

【0038】なお、上記の窒酸化処理をゲート電極3のパターニング後に行ったのは、以下の理由による。すなわち、上述の条件で形成される窒酸化膜5は窒素含有率が高く、シリコン界面のマイクロラフネスが大きいため、ゲート絶縁膜としては適さない。このため、ゲート電極3およびゲート酸化膜2を形成した後に窒酸化を行って、上記窒酸化膜5を形成することが必要である。なお且つ、上記窒酸化膜5は、以下に説明するが、サイドウォールのエッチング時にオーバーエッチングを抑制するエッチングストップとして機能する必要があるため、下記で説明するHTO膜6の堆積前に形成しなければならない。

【0039】上述のように、窒酸化によって窒酸化膜5を形成した後に、CVD(Chemical Vapor Deposition)法によって、HTO(High Temperature Oxide)を300nmの厚みで堆積させ、図1(c)に示すようにHTO膜6を形成する。

【0040】その後、 C_4F_8 ガスを用い、200Wの低パワーで、ゲート電極3上およびLDD層4上のHTO膜6をエッチングによって除去する。この際、LDD層4上に形成されている窒酸化膜5がエッチングストップとして機能する。しかも、エッチングガスの種類および照射光の条件を上記のように設定したことによって、 SiO_2/SiN の選択比が向上し、図1(d)に示すように、窒酸化膜5がおおよそ2nmの残膜として残り、ゲート電極3の側面には、サイドウォール7が形成される。

【0041】続いて、図1(e)に示すように、この窒酸化膜5を通して、加速電圧60keV、ドーズ量 $10^{15}/cm^2$ で砒素をイオン注入した。このイオン注入時に、表層の窒酸化膜5は、イオンの面チャネリング抑制層として作用する。

【0042】次に、このシリコン基板1を熱処理炉へ導入し、不活性雰囲気下で800°Cで1時間のアニールを行った。これにより、図1(f)に示すように、LDD層4とソース・ドレイン領域9とが活性化されて形成される。なお、このアニール時に、活性領域上におおよそ2nm

の膜厚で残存している窒酸化膜5が、注入イオンのアウトデフューズバリアおよびオートドープバリアとして効果的に作用する。

【0043】以上の工程により、LDD構造を持つMOS型トランジスタが完成する。

【0044】上記のように、本実施の形態に係る製造方法によれば、サイドウォールのエッチバック時に、窒酸化膜5が完全に除去されずに、活性領域に約2nmの残膜として残っているのを、上記のエッチバック時にシリコン基板1にまでエッチングが進行することを防止する。さらに、上記窒酸化膜5の残膜は、その後のイオン注入工程において注入イオンの面チャネリングを防止し、さらにその後の注入イオンの活性アニール時には、注入イオンのアウトデフューズバリアあるいはオートドープバリアとして作用する。また、窒酸化膜5の残膜の膜厚はイオン注入の妨害にならない程度に十分に薄い。この結果、半導体素子のデバイス特性の劣化を防止することができる。

【0045】また、従来のCVD法で形成された窒酸化膜と比較すると、本実施形態における窒酸化膜5は膜中にSi-H結合あるいはN-H結合を含んでいない。つまり、上記従来の窒酸化膜は、熱処理時にこれらの結合から解離する水素がゲート酸化膜の界面準位を変動させるという問題点を有していたが、本実施形態における窒酸化膜5にはSi-H結合およびN-H結合が残留する虞はないので、水素による半導体素子特性の劣化の問題は解消される。

【0046】また、窒酸化膜5のサイドウォールエッチング工程後の残膜の膜ストレスを測定すると、 $2 \sim 4 \times 10^9 \text{ dyn/cm}^2$ の圧縮応力であった。これに対して、従来一般的にエッチングストップとして用いられているもので、膜ストレスが比較的小さいと言われている減圧CVD法によるナイトライド膜の膜ストレスは、 $12 \sim 18 \times 10^9 \text{ dyn/cm}^2$ 程度の引っ張り応力である。このことから明らかのように、本実施の形態の製造方法によれば、窒酸化膜の膜ストレスを低減することが可能である。また、半導体素子形成後には、金属配線との間に絶縁保護膜を形成する必要があるが、これら絶縁膜は、CVD法による SiO_2 膜(NSG、BPSG等)が用いられており、それらの応力ストレスは一般に引っ張り応力である。本実施形態における N_2O 窒酸化膜は応力が圧縮ストレスであるため、上記のCVD法による SiO_2 膜の膜ストレスを緩和する効果もある。

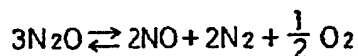
【0047】なお、窒酸化膜5が上記のサイドウォールのエッチング工程においてエッチングストップとして有効に作用するためには、窒酸化膜5の膜厚が厚いかあるいは窒酸化膜5の窒素含有率が高いことが必要である。前記の工程において、窒酸化膜5の成長膜厚は処理温度に依存し、 950°C の条件下では窒酸化膜5の膜厚は約3~4nm程度となり、比較的薄い。このため、窒酸化

膜5の窒素含有率をできるだけ高くするために、前記したように、熱処理炉内で100% N_2O 雰囲気中で処理することが好ましく、これにより、窒酸化膜5の窒素含有率を比較的高い濃度(3~4%程度)とすることができる。

【0048】なお、上記の100% N_2O 雰囲気中で処理する方法以外に、 N_2O ガスを N_2 ガスで希釈した雰囲気中で処理することも窒素含有率を向上させる上で有効である。この理由を以下に説明する。 N_2O の平衡状態は下記の化1に示すとおりである。

【0049】

【化1】



【0050】上記化1に示すように、 N_2O ガスを N_2 ガスで希釈することによって、平衡状態は左辺側へ移動する。つまり、 N_2O が分解して窒酸化に寄与しなくなること防止し、窒酸化膜5の窒素含有率を向上させることができる。

【0051】また、 N_2O によるSiの窒酸化は、通常の酸化反応と同程度に反応時の活性化エネルギーが高いため低温では窒酸化が生じ難く、熱処理炉内での処理温度が高温になるほど窒酸化膜5の成長膜厚は大きくなる。しかし、過大な高温下では、 N_2O の分解で生じた O_2 によって酸化が進行するため、窒酸化膜5の窒素含有率が低下するという問題が生じる。従って、処理温度は、 $700 \sim 1000^\circ\text{C}$ 、さらに好ましくは $850 \sim 950^\circ\text{C}$ の範囲に制御することが望ましい。

【0052】また、窒酸化を行う際に、活性領域(LDD層4)上のゲート酸化膜2の膜厚が薄いほど N_2O が拡散しやすいので有利であるが、近年はゲート酸化膜の膜厚を12nm程度に形成することが主流となっており、また、このゲート酸化膜2はゲート電極3の形成時のエッチング処理で膜減りして十分に薄くなっているため特に問題とはならない。

【0053】また、近年は、比較的ソフトな N_2O 処理によって1%程度の低濃度の窒素含有率を持たせた窒酸化膜をゲート絶縁膜として用いる提案もなされているが、このような窒酸化膜では窒素含有率が低いために、サイドウォールのエッチバック時には酸化膜との選択比が低く、エッチバックの制御が難しい。しかしこのような窒酸化膜を用いた場合であっても、本実施形態で説明したようにハードな再窒酸化を行うことにより、窒素含有率を向上させてエッチングストップとして有効に機能させることが可能となる。

【0054】なお、上記した実施の形態は、本発明を限定するものではなく、発明の範囲内で種々の変更が可能である。例えば、上記では、エッチングガスとして CF_4 ガスをを用いた例を説明したが、これに限らず、CF系ガスの内、フッ素よりもカーボンの多いガス種、すなわち、 $\text{C}_n\text{F}_{2n+2}$ または $\text{C}_{2n}\text{F}_{2n+2}$ の分子式で表されるフルオ

ロシクロアルカンやフルオロアルケン系のガスを用いることにより、 SiO_2/SiN の選択比を向上させ、LDDサイドウォールのエッチバック時に窒酸化膜5を残存させることが可能である。

【0055】なお、実験によって、上述のガス種と、従来一般的にエッチングガスとして用いられている CF_4 や CHF_3 系ガスとのそれぞれにおける SiO_2/SiN の選択比を実測すると、従来ガスの1~2に対して、上述の $\text{C}_{n+1}\text{F}_{2n+2}$ または $\text{C}_{2n}\text{F}_{2n+2}$ の分子式で表されるフルオロシクロアルカンやフルオロアルケン系のガスによるエッチングでは10~20という高い選択比を得られることが確認できた。従って、窒酸化膜5の膜厚が3~4nmと比較的薄くても、十分にエッチングストップとして機能させることが可能である。また、窒酸化膜5の膜厚が薄いことにより、イオン注入の工程において、注入イオンが窒酸化膜5中で停止する確率が低くなり、半導体素子特性のばらつきが抑制されるという効果を奏する。

【0056】また、 SiO_2/SiN の選択比をさらに向上させるためには、エッチング時にRFパワーを下げて窒酸化膜5表面にカーボン化合物を堆積し易くすることや、発生するカーボン化合物が蒸気化せずにシリコン基板1表面に堆積しやすいようにエッチング温度を下げることや、真空度を悪化させてより高圧でエッチングを行うことなどが効果的である。

【0057】また、窒酸化を行う際に、LDD層4への注入イオンの種類やそのドーズ量によって、活性領域に残留欠陥が導入されることが危惧される場合には、イオン注入後にシリコン基板1を熱処理炉へ導入し、 N_2 雰囲気中でアニールし、さらにガスを N_2O に替えて窒酸化する一括熱処理を行っても良い。

【0058】なお、上記の窒酸化処理は、一般の熱処理炉他に、ランプアニールを用いて行っても良い。ランプアニールは、シリコンに吸収される波長を含む光を照射してシリコンウェハ自体を発熱させ、被処理物を急速に昇温させることが可能であり、しかも成膜される窒酸化膜の膜厚は処理時間に比例して成長するので、膜厚の制御が容易である。

【0059】なお、ランプアニールを用いれば、比較的容易に厚膜を形成することができるが、窒酸化膜のエッチング後の残膜厚がデバイス特性に影響を及ぼすため、窒酸化膜を厚く形成した後に多くエッチングして膜厚を制御する方法よりも、薄膜を制御良く成長させると共にエッチング時の選択比を向上させて窒酸化膜の残膜の厚みを保つ方法の方が、酸化膜の膜厚変動を吸収できる。さらに、後者の方法の方が、パターンの微細化に伴って厳しくなるマイクロローディング効果の観点からも有利である。

【0060】〔実施の形態2〕本発明の実施に係る他の形態について、図2(a)ないし(d)に基づいて説明すれば以下のとおりである。なお、同図(a)ないし

(d)は、MOS型トランジスタの構成を主な製造工程の順に示す断面図である。

【0061】MOS型トランジスタを製造する際に、まず、同図(a)に示すように、P型シリコン基板11上に12nmの膜厚でゲート酸化膜12を形成し、さらに、CVD法を用いてシリサイド膜を400nmの厚さで堆積し、このシリサイド膜をフォトリソグラフィーによってパターンニングし、ゲート電極13を形成する。

【0062】次に、上記のシリコン基板11全体を洗浄した後に熱処理炉に導入し、100% N_2O 雰囲気中で950℃で30分間処理する。この処理によって、ゲート電極13のエッチング処理と洗浄とを経て5nmにまで膜減りしていたゲート酸化膜12は、 N_2O ガスによってシリコン基板11が窒酸化されるのに伴って、その厚みが8nmに増加する。また、この時、同図(b)に示すように、ゲート電極13の周りシリコン基板11の界面に、新たに窒酸化膜(SiN)14が9nm成長した。

【0063】なお、上記の窒酸化処理は、一般の熱処理炉他に、ランプアニールを用いて行っても良い。ランプアニールは、シリコンに吸収される波長を含む光を照射してシリコンウェハ自体を発熱させ、被処理物を急速に昇温させることが可能である。また、ランプアニールを用いた窒酸化処理で形成される窒酸化膜の膜厚は、処理時間に比例して成長するので、膜厚の制御が容易である。このようなランプアニールの具体的な装置例としては、ヒートパルス社製のヒートパルス4100等を挙げることができる。

【0064】続いて、周知の方法に従ってソース・ドレイン15を形成し、これにより、MOSトランジスタが完成する。このMOSトランジスタ上に、同図(c)に示すように、100nmの酸化シリコン(NSG)膜および400nmのBPSG膜を、CVD法により順次積層してBPSG/NSG積層膜16を形成し、続いてBPSGをリフローすると、同図(d)に示すように、平坦化した表面が得られる。

【0065】なお、上記のBPSGのリフローは、850℃のパイロ酸化雰囲気中で30分間の処理を実施する。このように、パイロ酸化雰囲気でのリフローを行うことにより、例えば N_2 ガスのような不活性雰囲気でのリフローに比較してBPSGの流動性が増し、その平坦性を向上させることができる。また、上記のBPSG/NSG積層膜16を形成する際に、プリカーサ原料として、従来一般的に用いられている SiH_4 ではなく、テトラエトキシラン(TEOS)系の原料を用いることにより、平坦性をさらに向上させることができる。

【0066】また、パイロ酸化雰囲気のような酸化性雰囲気では、上記のようにリフロー形状の平坦化が促進されるので、比較的低温下での処理が可能である。低温下の処理は、シリコン基板11の不純物の拡散を抑制する上で望ましく、半導体素子の信頼性を向上させ得るとい

う効果を奏する。

【0067】上記のように、BPSGの平坦性を向上させたことにより、アルミニウム等の金属配線を行う際に段差が低減されるので、配線の自由度および信頼性を向上させることができる。また、シリコン界面に形成された窒酸化膜14が、リフロー時の酸化バリアとして機能するので、シリコン基板11やゲート電極13の酸化によって生じる種々の半導体素子特性の劣化を防止することができる。具体的には、シリコン基板の酸化によるP型領域のコンタクト抵抗の増大、ゲート周囲のゲート酸化膜の増大によるトランジスタスピードの低下、あるいはゲート電極の酸化による配線抵抗の増加というような不具合の発生を抑止することができる。

【0068】なお、上記では、BPSGのリフローをパイロ酸化雰囲気（水蒸気雰囲気）で行う例を説明したが、この他に、乾燥酸素雰囲気やハロゲン含有酸化性雰囲気で行っても良い。一般に、水蒸気雰囲気におけるリフロー処理が、BPSGの平坦化において最も顕著な効果が期待できるが、乾燥酸素雰囲気およびハロゲン含有酸化性雰囲気においてもほぼ同様の効果を奏する。また、ハロゲン含有酸化性雰囲気でのリフローは、ハロゲンの効果で結晶欠陥が抑制される点と、例えばHClとO₂とから副成される少量のH₂OによってBPSGの平坦性のさらなる改善が期待できる点で効果的である。

【0069】さらに、窒酸化膜14は、Si-H結合およびN-H結合を含有しないので、水素に起因して生じる、ゲート酸化膜の界面準位の変動あるいはトランジスタ閾値の変動というような半導体素子特性の劣化が防止される。

【0070】また、前述のNSG膜はBPSGの不純物拡散バリアとして機能するが、窒酸化膜が不純物拡散バリアの機能も有するので、省略することもできる。この場合、デバイス段差をさらに低減することが可能となる。

【0071】さらに、層間膜としてスピノングラス(SOG)を用いる場合、SOG中には水分が含まれているが、窒酸化膜14が水分の拡散を防止するバリアとしても機能するため、水分によって半導体素子のホットエレクトロン耐性が劣化することを防止できるという複合的な効果も奏する。

【0072】なお、上記では、層間絶縁膜としてBPSGを用い、BPSGの堆積前に窒酸化膜14を形成する例を説明したが、この他に、膜厚が十分に薄く、膜中をN₂Oが拡散してシリコン基板11と反応を生じるような種類の膜であれば、層間絶縁膜の形成後に窒酸化を行うような手順としても良い。

【0073】また、N₂Oによる窒酸化膜の形成は、シリコン基板11の上方に形成される多結晶シリコンに適用できることは言うまでもない。

【0074】さらに、上記では、窒酸化を行う際に100

% N₂O雰囲気で行う例を説明したが、この他に、前記実施の形態1で述べたように、N₂とN₂Oとの混合ガスを用いても良い。

【0075】

【発明の効果】以上のように、請求項1の発明に係る半導体素子の製造方法は、ゲート酸化膜およびゲート電極をシリコン基板上に形成する第1工程と、100%のN₂Oガス雰囲気またはN₂OとN₂との混合ガス雰囲気にて上記シリコン基板を窒酸化する第2工程とを含んでいる。

【0076】これにより、半導体素子の劣化を招来する水素を含まず且つ膜ストレスが低減された窒酸化膜を形成することが可能となり、より簡略化された工程によって半導体素子を提供することが可能となると共に、該半導体素子の特性を向上させることができるという効果を奏する。

【0077】請求項2の発明に係る半導体素子の製造方法は、シリコン基板に酸化膜を堆積し、該酸化膜をエッチングしてゲート電極側壁を形成する第3工程をさらに含み、上記第3工程のエッチングにおいて、分子式C_m+1F_{2m+2} (m:自然数)で示されるガス、分子式C_{2n}F_{2n+2} (n:自然数)で示されるガス、あるいはこれらの混合ガスを用いることを特徴とする。

【0078】これにより、ゲート電極の側壁を形成するためのエッチング工程において、窒酸化膜/酸化膜の選択比を向上させることが可能となり、より簡略化された工程で、エッチングストップとして機能し得る窒酸化膜を形成することができる。この結果、オーバーエッチングに起因する半導体特性の劣化を防止し、半導体素子の特性を向上させることができると共に、製造コストの低減を図ることができるという効果を奏する。

【0079】請求項3の発明に係る半導体素子の製造方向は、第2工程で形成された窒酸化膜の上層にBPSGを堆積し、このBPSGを酸化性雰囲気で行うリフローする工程をさらに含む。

【0080】これにより、酸化性雰囲気で行うBPSGのリフローを行ってBPSGの平坦性を向上させることができ、さらに、この時に第2工程で形成された窒酸化膜が酸化バリアとして機能して、シリコン基板の酸化およびゲート電極の酸化が防止されるため、これらの酸化に起因する半導体特性の劣化を回避することができる。より詳しくは、P型領域のコンタクト抵抗の増大、トランジスタスピードの低下、配線抵抗の増加等を防止することが可能となる。この結果、より優れた特性を有する半導体素子を提供することが可能となるという効果を奏する。

【図面の簡単な説明】

【図1】同図(a)ないし(f)は、本発明の実施に係る一形態を示し、MOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

【図2】同図(a)ないし(d)は、本発明の実施に係る

る他の形態を示し、MOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

【図3】同図(a)ないし(c)は、従来のMOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

【図4】同図(a)および(b)は、従来のMOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

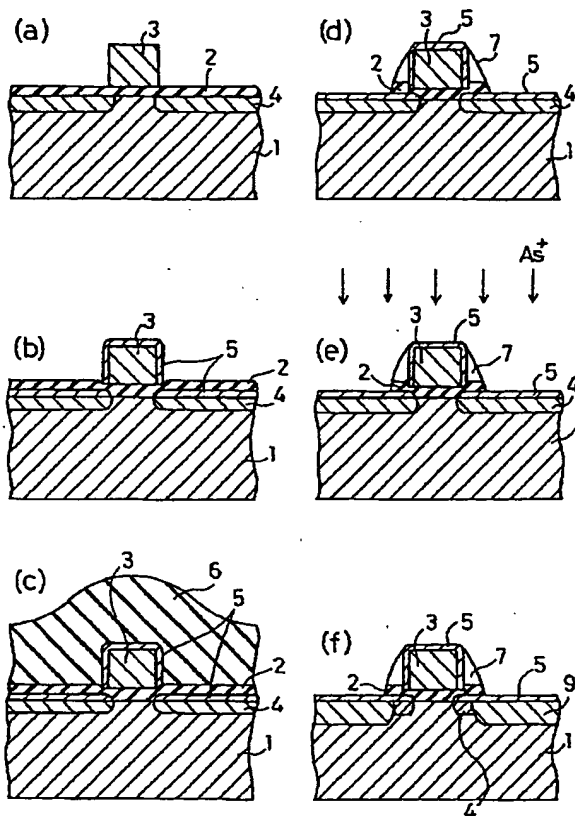
【図5】同図(a)ないし(d)は、従来のMOS型ト

ランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

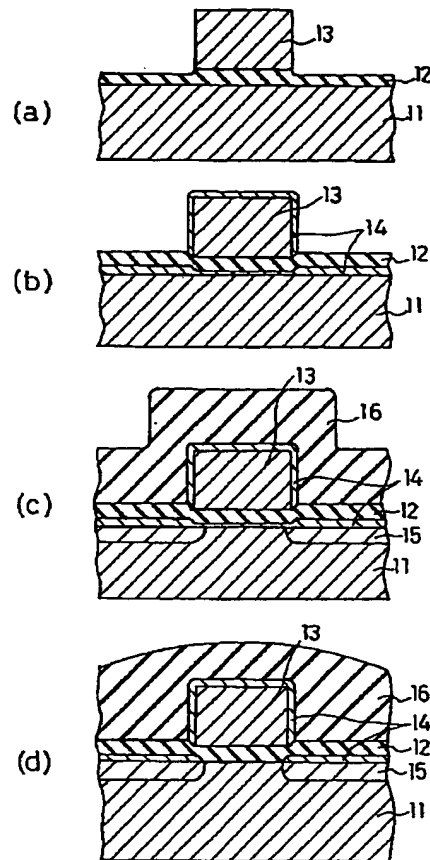
【符号の説明】

- 1 シリコン基板
- 2 ゲート酸化膜
- 3 ゲート電極
- 6 HTO膜(酸化膜)
- 7 サイドウォール(ゲート電極側壁)
- 16 BPSG/NSG積層膜

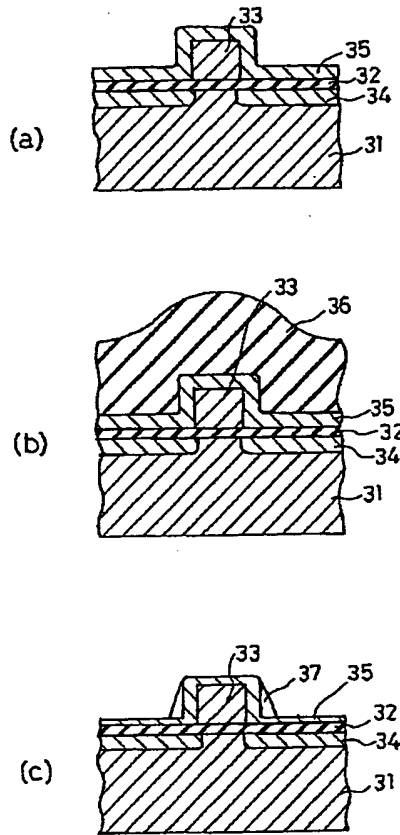
【図1】



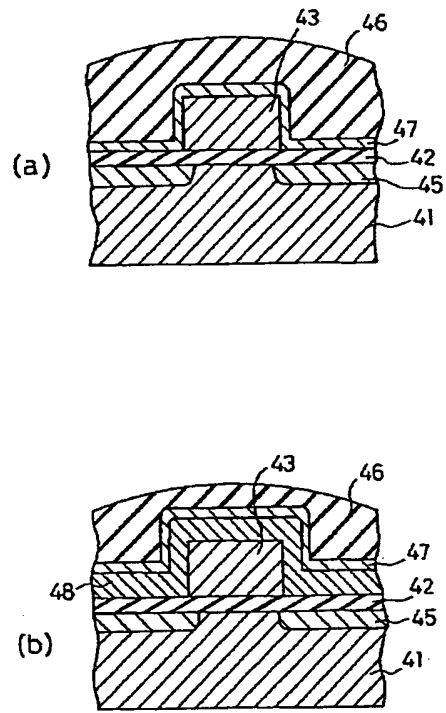
【図2】



【図3】



【図4】



【図5】

